

Docket No.: 60188-802

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Akio HIRATA, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: March 16, 2004	:	Examiner:
	:	
For: SEMICONDUCTOR MEMORY AND SEMICONDUCTOR INTEGRATED CIRCUIT		

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. JP 2003-117982, filed on April 23, 2003.

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:gav
Facsimile: (202) 756-8087
Date: March 16, 2004

McDermott, Will & Emery

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 2 3 日
Date of Application:

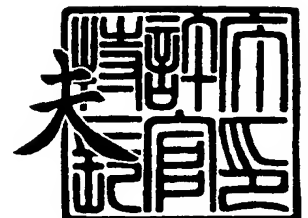
出 願 番 号 特 願 2 0 0 3 - 1 1 7 9 8 2
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 1 1 7 9 8 2]

出 願 人 松 下 電 器 産 業 株 式 会 社
Applicant(s):

2 0 0 4 年 1 月 1 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 5037640154

【提出日】 平成15年 4月23日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/8246

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 平田 昭夫

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 森脇 俊幸

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 當房 哲朗

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 岡本 奈々

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 林 光昭

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【選任した代理人】

【識別番号】 100117581

【弁理士】

【氏名又は名称】 二宮 克也

【選任した代理人】

【識別番号】 100117710

【弁理士】

【氏名又は名称】 原田 智雄

【選任した代理人】

【識別番号】 100121500

【弁理士】

【氏名又は名称】 後藤 高志

【選任した代理人】

【識別番号】 100121728

【弁理士】

【氏名又は名称】 井関 勝守

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217869

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置および半導体集積回路

【特許請求の範囲】

【請求項 1】 複数のワード線と、

上記複数のワード線と交差する複数のビット線と、

第 1 の不純物拡散層、第 2 の不純物拡散層及びゲート電極を有する M I S F E T をそれぞれ含み、半導体基板上に設けられた複数のメモリセルとを備えている半導体記憶装置であって、

上記複数のメモリセルのうち、上記ビット線の延びる方向に互いに隣接するメモリセルを第 1 のメモリセル及び第 2 のメモリセルとするとき、

上記第 1 のメモリセルに含まれる第 1 の M I S F E T の第 1 の不純物拡散層と上記第 2 のメモリセルに含まれる第 2 の M I S F E T の第 1 の不純物拡散層との間には、第 1 の電源に接続された第 1 のダミーゲート電極が設けられており、

上記第 1 の M I S F E T の第 1 の不純物拡散層と、上記第 2 の M I S F E T の第 1 の不純物拡散層と、上記第 1 のダミーゲート電極とは、動作期間中にオフ状態に保持される第 1 のダミー M I S F E T を構成している、半導体記憶装置。

【請求項 2】 請求項 1 に記載の半導体記憶装置において、

上記複数のメモリセルは 1 つの M I S F E T で構成されており、

上記複数のメモリセルを構成する M I S F E T の第 1 の不純物拡散層が上記ビット線に接続されるか否かによってデータが記録される、半導体記憶装置。

【請求項 3】 請求項 1 または 2 に記載の半導体記憶装置において、

上記複数のメモリセルに含まれる M I S F E T 及び上記第 1 のダミー M I S F E T は共に N チャネル型であり、

上記第 1 の電源はグラウンド線である、半導体記憶装置。

【請求項 4】 請求項 1 または 2 に記載の半導体記憶装置において、

上記複数のメモリセルに含まれる M I S F E T 及び上記第 1 のダミー M I S F E T は共に N チャネル型であり、

上記第 1 の電源は負電圧を供給するための電源である、半導体記憶装置。

【請求項 5】 請求項 1 ～ 4 のうちいずれか 1 つに記載の半導体記憶装置に

において、

上記第1のダミーMISFETのしきい値の絶対値は、上記複数のメモリセルに含まれるMISFETのしきい値の絶対値よりも大きい、半導体記憶装置。

【請求項6】 請求項1～5のうちいずれか1つに記載の半導体記憶装置において、

上記第1のダミーゲート電極のゲート長は、上記複数のメモリセルに含まれるMISFETのゲート電極のゲート長よりも長い、半導体記憶装置。

【請求項7】 請求項1～6のうちいずれか1つに記載の半導体記憶装置において、

上記複数のメモリセルに含まれるMISFETのゲート電極と上記半導体基板との間、及び上記第1のダミーゲート電極と上記半導体基板との間にはそれぞれ第1のゲート絶縁膜、第2のゲート絶縁膜が設けられており、

上記第2のゲート絶縁膜の膜厚は上記第1のゲート絶縁膜の膜厚より厚いことを特徴とする半導体記憶装置。

【請求項8】 請求項1～7のうちいずれか1つに記載の半導体記憶装置において、

上記複数のメモリセルに含まれるMISFETのうち、上記ワード線が延びる方向に一直列に配置されたMISFETのゲート電極は、共通のゲート線の一部であり、

上記ゲート線は、上記複数のメモリセル内のMISFETのうち、上記ワード線が延びる方向に隣接する2つのMISFETの第1の不純物拡散層に挟まれた領域に向かって分岐している、半導体記憶装置。

【請求項9】 請求項1～8のうちいずれか1つに記載の半導体記憶装置において、

上記半導体基板は、埋め込み絶縁膜と、上記埋め込み絶縁膜上に設けられ、且つ第1の不純物拡散層及び第2の不純物拡散層を含む半導体層とを有する部分空乏型SOI基板であり、

上記半導体層には負電圧が印加されている、半導体記憶装置。

【請求項10】 請求項1～9のうちいずれか1つに記載の半導体記憶装置

において、

上記複数のワード線のそれぞれに接続されたNチャネル型の第1のドライバ用MISFET及びPチャネル型の第2のドライバ用MISFETを有し、上記複数のワード線の電位を設定するためのワード線ドライバをさらに備え、

上記複数のワード線のうち、互いに隣接するワード線に接続された上記第1のドライバ用MISFETの間には、第2のダミーゲート電極を有し、動作期間中オフ状態に保持される第2のダミーMISFETがさらに設けられている、半導体記憶装置。

【請求項11】 請求項10に記載の半導体記憶装置において、

上記ワード線が延びる方向に一行に配置された上記第1のダミーMISFET及び第2のダミーMISFETに含まれる上記第1のダミーゲート電極及び上記第2のダミーゲート電極は、共通のダミーゲート線の一部である、半導体記憶装置。

【請求項12】 請求項10または11に記載の半導体記憶装置において、

上記複数のメモリセルに含まれるMISFET及び上記第1のダミーMISFETは共にNチャネル型であり、

上記複数のメモリセルに含まれるMISFETの第2の不純物拡散層と、上記第1のドライバ用MISFETの第2の不純物拡散層とは、上記第1の電源が接続されており、

上記第1の電源は負電圧を供給する電源である、半導体記憶装置。

【請求項13】 複数のワード線と、上記複数のワード線と交差する複数のビット線と、第1の不純物拡散層、第2の不純物拡散層及びゲート電極を有するMISFETをそれぞれ含み、第1の半導体基板上に設けられた複数の第1のメモリセルとを有する半導体記憶装置と、

半導体基板上に設けられたMISFETを含み、論理回路を有する回路ブロックと、

少なくとも上記第1の半導体基板の一部に固定電位を供給するための電源回路と

を備えている半導体集積回路であって、

上記複数の第 1 のメモリセルのうち、上記ビット線の延びる方向に互いに隣接する第 1 のメモリセルを第 3 のメモリセル及び第 4 のメモリセルとするとき、

上記第 3 のメモリセルに含まれる第 1 の M I S F E T の第 1 の不純物拡散層と上記第 2 のメモリセルに含まれる第 2 の M I S F E T の第 1 の不純物拡散層との間には、

第 1 の電源に接続されたダミーゲート電極と、第 3 の不純物拡散層と、第 4 の不純物拡散層とを有し、動作期間中にオフ状態に保持されるダミー M I S F E T が設けられている、半導体集積回路。

【請求項 1 4】 請求項 1 3 に記載の半導体集積回路において、
上記回路ブロックは、

D R A M、S R A M 及び不揮発性メモリのうちから選ばれた少なくとも 1 つの回路をさらに有している、半導体集積回路。

【請求項 1 5】 請求項 1 3 または 1 4 に記載の半導体集積回路において、
上記複数のメモリセルに含まれる M I S F E T 及び上記ダミー M I S F E T は共に N チャネル型であり、

上記第 1 の電源は負電圧を供給するための電源である、半導体集積回路。

【請求項 1 6】 請求項 1 5 に記載の半導体集積回路において、
上記電源回路は、上記第 1 の半導体基板の一部と上記回路ブロックの半導体基板の一部とに負電圧を供給する、半導体集積回路。

【請求項 1 7】 請求項 1 6 に記載の半導体集積回路において、
上記電源回路と上記論理回路との間には、上記論理回路に上記電源回路の出力電圧を供給するか、接地電圧を供給するかを選択するためのスイッチがさらに設けられている、半導体集積回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、ターン・アラウンド・タイム（TAT）が短く、高速なデータ読み出し速度が要求されるマスク R O M を有する半導体記憶装置および半導体記憶装置を有するシステム L S I に関する。

【 0 0 0 2 】

【従来の技術】

近年、L S I の大規模化に伴い、電気機器のシステムを一つの L S I 上に構築したシステム L S I の設計が盛んになっている。このようなシステム L S I においては、マイクロコンピュータの他、S R A M (スタティックランダムアクセスメモリ)、D R A M (ダイナミックランダムアクセスメモリ)、マスク R O M などのメモリまでが一つのチップ上に集積される。半導体メモリの中で、マスク R O M は不揮発性の読み出し専用メモリであり、製造工程でマスクパターンを使ってデータを書き込む。このマスク R O M がシステム L S I に搭載される場合、高集積化されていることのみならず、ターン・アラウンド・タイム (TAT) が短いことや、高速アクセス性、低消費電力化などが要求される。

【 0 0 0 3 】

T A T が短いマスク R O M の方式として、コンタクトプログラム方式のものが広く利用されている。コンタクトプログラム方式のマスク R O M は、メモリセルとなる M O S F E T (Metal Oxide Semiconductor Field Effect Transistor) とビット線とを接続するコンタクトの有無により“1”または“0”のデータを記憶する方式である。このコンタクトプログラム方式のマスク R O M では、プログラムを決定するコンタクトのレイヤを上位層にすることにより、プログラム後の製造工程を少なくすることが可能である。

【 0 0 0 4 】

現在まで、マスク R O M の高集積化は主に製造プロセスの微細化により行われてきた。マスク R O M の微細化された製造プロセスにおいて、M O S F E T 間の素子分離は、S T I (Shallow Trench Isolation) によって行われるようになってきている。ところが、微細化が進み、設計ルールが $0.18\mu\text{m}$ 以下になるにつれ、S T I によって生じる応力が特に N チャネル型 M O S F E T (以下 N c h M O S F E T と表記する) の性能に与える影響が無視できなくなってきた。なお、この問題については IEEE 2002 CUSTOM INTEGRATED CIRCUITS CONFERENCE, pp. 24-2-1 から 24-2-4 にて報告されている。

【 0 0 0 5 】

図9は、素子分離用絶縁膜からの応力がNchMOSFETの駆動電流に与える影響を示すグラフ図である。また、図10(a)は、STIにより素子分離されたMOSFETを上面から見た平面図であり、(b)は(a)に示すMOSFETにおけるXb-Xb線での断面を示す図である。図9において、横軸はSTIの端部からチャネルまでの距離（フィンガー長）を示し、縦軸は単位ゲート幅当たりの飽和電流を示す。

【0006】

STIによって素子分離された一般的なNchMOSFETは、図10(a)、(b)に示すように、半導体基板2007上に設けられたゲート絶縁膜2008と、ゲート絶縁膜2008上に設けられたゲート電極2001と、ゲート絶縁膜2008及びゲート電極2001の側面上に設けられたサイドウォールと、半導体基板2007のうちゲートの両側下方に設けられ、n型不純物を含むソース／ドレイン領域2002と、ソース／ドレイン領域2002に接続されたコンタクト2003とを備えている。このソース／ドレイン領域2002間には、駆動時にチャネル2005が形成される。そして、NchMOSFETは、STI2004によって、隣接する素子から電氣的に分離されている。

【0007】

このような一般的なNchMOSFETにおいては、図9から、フィンガー長がある長さ（ L_{sat} ）以上である場合に飽和電流はほぼ一定であるが、 L_{sat} より短くなるに従って急激に減少することが分かる。そして、マスキュール上でのフィンガー長の最小値（ L_{min} ）で飽和電流も最小となる。同図において、フィンガー長が L_{sat} の場合と L_{min} の場合とを比べると、 L_{min} の場合の方が飽和電流が10%程度小さくなっている。

【0008】

このようなMOSFETの特性の変化は、プロセス工程中に図10で示したSTI2004が、熱膨張する際にチャネル2005に応力2006を与えることにより生じる。すなわち、応力によってチャネル2005の結晶構造がゆがめられてしまうので、キャリア（NchMOSFETの場合、電子）の移動度が影響を受けるのである。STIからの応力は物理的な応力であり、STI2004と

チャンネル 2005 が近ければ近いほど影響を受けやすくなる。

【0009】

この応力の影響のため、マスク ROM を構成するメモリセルの N c h M O S F E T の駆動電流は、理論的に考えられる電流値よりも減少する。マスク ROM のデータ読み出し時間の大半は、ビット線の寄生容量にプリチャージされた電荷をメモリセルの N c h M O S F E T で放電するのにかかる時間である。よって、メモリセル N c h M O S F E T を流れる駆動電流が減少することにより、マスク ROM 全体のデータ読み出し時間が長くなってしまう。

【0010】

図 11 (a) は、従来のマスク ROM を有する半導体記憶装置のメモリセル領域を示す平面図である。また、図 11 (b) は、従来のマスク ROM のメモリセル領域の XIb-XIb 線における断面図である。

【0011】

同図 (a)、(b) に示すように、従来のマスク ROM は、行方向 (図 11 (a) 中の左右に延びる方向) に延びる複数のワード線 2101 と、ワード線 2101 と交差し、列方向 (図 11 (a) 中の上下方向に延びる方向) に延びる複数のビット線 2102 と、ゲート電極 2104 a がワード線 2101 に接続され、行列状に配置された複数の M O S F E T とを備えている。複数の M O S F E T のうち、同一行に並べられた M O S F E T のゲート電極 2104 a は、共通のゲート線 2104 の一部分となっており、ゲート線 2104 は、ゲートコンタクト 2107 を介してワード線 2101 に接続されている。

【0012】

メモリセル中の各 M O S F E T は、ゲート絶縁膜を挟んで基板上に設けられた上述のゲート電極 2104 a と、基板のうちゲート電極 2104 a の側方に位置する領域に形成されたドレイン領域及びソース領域 (第 1 の不純物拡散層及び第 2 の不純物拡散層) とを有している。また、同一行に配置された複数の M O S F E T のソース領域同士は互いに一体化されており、M O S F E T が N c h M O S F E T の場合、ソースコンタクトを介してグランド線 2103 に接続されている。

【0013】

図11(b)に示すように、メモリセルを構成するMOSFETのうち、同一列に配置されたMOSFETについて、2つのMOSFETごとに素子分離用絶縁膜2111が設けられている。そして、2つの素子分離用絶縁膜に挟まれた2つのMOSFETは、同一のn型不純物拡散領域をそれぞれのソース領域として共用している。

【0014】

この従来のマスクROMでは、1つのメモリセル2108が1つのNchMOSFETで構成されている。各MOSFETにおいては、ドレイン領域2110がドレインコンタクト2105及びビア2112を介してビット線2102に接続されるか、または接続されないかにより、“1”または“0”のデータを記憶する。

【0015】

次に、従来のマスクROMの動作原理について説明する。

【0016】

図12(a)は、従来のマスクROMのメモリセル領域とセンスアンプの構成を示す等価回路図であり、(b)は、従来のマスクROMにおける各種信号の動作波形を示すタイミングチャート図である。

【0017】

同図(a)に示すように、一般的なマスクROMでは、複数のメモリセルを有するメモリセル領域の周辺に、アドレスデータに基づいて選択されたワード線2101(図11参照)を活性化するためのアドレスデコーダ2209と、ビット線2102に接続され、ビット線上を流れる読み取り信号を論理レベルまで増幅し、センスアンプ出力信号Soutを出力するためのセンスアンプ2203と、センスアンプ2203からの出力を外部回路に出力するための出力回路2207とが設けられている。

【0018】

図12(a)に示す例では、ワード線2101のうち、ワード線WL0、WL1、WL2、…が、グランド線に接続されたソースを有するNchMOSFET

2201のうちNchMOSFET2201a、2201b、2201c、…のゲート電極にそれぞれ接続されている。そして、NchMOSFET2201a、2201cは共にビア2112を介してビット線2102（ビット線BL）に接続され、NchMOSFET2201b、2201dはビット線BLに接続されていない。また、ビット線BLは、カラム選択信号CAによってオンまたはオフが制御されたNchMOSFETであるカラム選択スイッチ2211を介してセンスアンプ2203に接続されている。

【0019】

センスアンプ2203は、第1入力部がカラム選択スイッチ2211を介してビット線BLに接続され、第2入力部にセンスアンプ選択信号SAが入力されたNAND回路2213と、ソースに電源電圧が印加され、ドレインがカラム選択スイッチ2211とNAND回路2213の第1入力部とに接続されたPchMOSFETである第1のスイッチ2206と、ソースに電源電圧が印加され、ドレインがカラム選択スイッチ2211とNAND回路2213の第1入力部とに接続されたPchMOSFETである第2のスイッチ2205とを有している。第1のスイッチ2206の動作は、ゲート電極に入力されるプリチャージ信号PCによって制御されている。また、第2のスイッチ2205のゲート電極は、NAND回路2213の出力部に接続されている。

【0020】

次に、図12（b）を用いて従来のマスクROMの動作を説明する。同図では、各信号のハイレベル電圧が1.8Vである場合を示している。

【0021】

まず、クロック信号CKが立ち上がり、続いてカラム選択信号CAがハイレベルに、プリチャージ信号PCがローレベルに、それぞれ切り替わると、カラム選択スイッチ2211及び第1のスイッチ2206がオンになり、電源電圧によりビット線BLがプリチャージされる。この際に、カラム選択信号CAがハイレベルに切り替わるのは選択されたビット線に接続されたカラム選択スイッチ2211のみであり、選択されないビット線はプリチャージされない。このビット線の選択は、読み出すデータのアドレスに応じて行われる。クロック信号CKが立ち

下がるまでのプリチャージ期間には、センスアンプ選択信号 S A、カラム選択信号 C A は共にハイレベルとなり、センスアンプ出力信号 S o u t はローレベルとなる。このとき、出力回路 2 2 0 7 は出力信号 S o u t を反転して出力 O u t を出力する。

【 0 0 2 2 】

次に、クロック信号 C K の立ち下がりを受けて選択されたワード線 W L の電位及びプリチャージ信号 P C がハイレベルに立ち上がる。すると、プリチャージ期間が終了し、メモリセルである N c h M O S F E T 2 2 0 1 がオン状態となる。

【 0 0 2 3 】

このとき、メモリセルとビット線 B L とがビア 2 1 1 2 により接続されている場合には、ビット線 B L はディスチャージされ、センスアンプ出力信号 S o u t がハイレベルに変化する。そして、出力回路 2 2 0 7 からの出力 O u t はローレベルに変化する。

【 0 0 2 4 】

一方、メモリセルとビット線 B L とがビア 2 1 1 2 により接続されている場合には、ビット線 2 1 0 2 の電位は変化せず、出力 O u t はプリチャージ期間と同様にハイレベルのままとなる。

【 0 0 2 5 】

この、クロック信号 C K が立ち下がってから、センスアンプ出力信号 S o u t がハイレベルになり、さらに出力回路 2 2 0 7 の出力 O u t がハイレベルからローレベルに変化するまでの時間を「アクセス時間」と呼ぶ。

【 0 0 2 6 】

このように、ビア 2 1 1 2 により N c h M O S F E T 2 2 0 1 とビット線 B L とが接続されている場合は「0」（出力 O u t がローレベル）、接続されていない場合は「1」（出力 O u t がハイレベル）のデータを記憶することとなる。

【 0 0 2 7 】

なお、ビット線 B L に接続されている N c h M O S F E T 2 2 0 1 では、ゲート電極にローレベルの電圧が印加されている状態でもリーク電流 I l e a k がドレインソース間に流れる。このリーク電流 I l e a k によりビット線 B L はデ

イスチャージされるので、従来のマスクROMは、ビット線BLの電位をハイレベルに保つためにセンスアンプ2203内に第2のスイッチ2205を有している。この第2のスイッチ2205は、1本のビット線BLに接続された複数のNchMOSFET2201のリーク電流の総和 $I_{leak\#all}$ より大きく、NchMOSFET2201のオン時の駆動電流よりは小さくなるようにサイズを決定される。

【0028】

以上で説明した従来のマスクROMでは、上述のように、設計ルールが微細化するのに伴って、メモリセル領域内に設けられた素子分離用絶縁膜2111からの応力がNchMOSFETに加わるため、駆動電流が減少するという不具合が発生するようになってきた。これを解決する1つの手段はメモリセルの駆動電流を増やすことである。

【0029】

米国特許5959877号公報や特開2000-195286号公報には、ワード線のゲートが分岐している構造のマスクROMが提案されている。この構造によると、メモリセルであるMOSFETの駆動電流が図11の従来の一般的なマスクROMに比べて増す。

【0030】

また、特開2003-017593号公報では、梯子型のゲートを用い、メモリセルのドレインの周囲が全てゲートで囲まれている構造の半導体記憶装置が開示されている。これによれば、STIによってメモリセルであるMOSFETのドレイン間を分離する必要がないため、STIによるチャネルへの応力のために電流駆動能力が減少することがない。また、1メモリセル当たりの駆動電流が3倍以上となり、読み出し速度を高速化することができる。

【0031】

【特許文献1】

特開2003-017593号公報

【特許文献2】

特開2000-195286号公報

【特許文献 3】

米国特許 5 9 5 9 8 7 7 号公報

【0 0 3 2】

【発明が解決しようとする課題】

米国特許 5 9 5 9 8 7 7 号公報や特開 2 0 0 0 - 1 9 5 2 8 6 号公報に記載のマスク ROM では、図 1 1 (a) に示す従来のマスク ROM よりも駆動電流が増えるものの、ビット線が延びる方向に互いに隣接する N c h M O S F E T 間に設けられた S T I による応力の影響が見られる。すなわち、S T I からの応力によって十分な駆動電流を得られないことがあった。

【0 0 3 3】

これに対し、特開 2 0 0 3 - 0 1 7 5 9 3 号公報に記載のマスク ROM では、S T I からの応力の影響は抑えられている。しかしながら、ワード線の寄生容量が従来に比べて大きく、1 メモリセルあたりのリーク電流が駆動電流同様に 3 倍以上になることから、使用される用途が限定されざる得なかった。

【0 0 3 4】

本発明の目的は、メモリセルを流れる駆動電流の低下を抑え、高速動作が可能なマスク ROM を提供することにある。

【0 0 3 5】

【課題を解決するための手段】

本発明の半導体記憶装置は、複数のワード線と、上記複数のワード線と交差する複数のビット線と、第 1 の不純物拡散層、第 2 の不純物拡散層及びゲート電極を有する M I S F E T をそれぞれ含み、半導体基板上に設けられた複数のメモリセルとを備えている半導体記憶装置であって、上記複数のメモリセルのうち、上記ビット線の延びる方向に互いに隣接するメモリセルを第 1 のメモリセル及び第 2 のメモリセルとするとき、上記第 1 のメモリセルに含まれる第 1 の M I S F E T の第 1 の不純物拡散層と上記第 2 のメモリセルに含まれる第 2 の M I S F E T の第 1 の不純物拡散層との間には、第 1 の電源に接続された第 1 のダミーゲート電極が設けられており、上記第 1 の M I S F E T の第 1 の不純物拡散層と、上記第 2 の M I S F E T の第 1 の不純物拡散層と、上記第 1 のダミーゲート電極とは

、動作期間中にオフ状態に保持される第1のダミーMISFETを構成している。

【0036】

この構成により、ビット線が延びる方向に隣接するMISFET同士をSTIを用いずに素子分離することが可能となるので、STIから受ける応力の影響を従来の半導体記憶装置に比べて低減することができる。その結果、メモリセルを流れる駆動電流を増加させることができるので、動作速度の向上を図ることができる。

【0037】

上記複数のメモリセルは1つのMISFETで構成されており、上記複数のメモリセルを構成するMISFETの第1の不純物拡散層が上記ビット線に接続されるか否かによってデータが記録されることにより、半導体記憶装置を読み出し速度が速いROMとして用いることができる。

【0038】

上記複数のメモリセルに含まれるMISFET及び上記第1のダミーMISFETは共にNチャネル型であり、上記第1の電源はグランド線であることにより、MISFETがPチャネル型である場合に比べて動作速度を向上させることができる。

【0039】

また、上記複数のメモリセルに含まれるMISFET及び上記第1のダミーMISFETは共にNチャネル型であり、上記第1の電源は負電圧を供給するための電源である場合には、第1のダミーMISFETを流れるリーク電流を小さくすることができるので、動作速度の減少を抑えることができる。

【0040】

上記第1のダミーMISFETのしきい値の絶対値は、上記複数のメモリセルに含まれるMISFETのしきい値の絶対値よりも大きければ、第1のダミーMISFETを流れるリーク電流を小さくすることができるので好ましい。

【0041】

上記第1のダミーゲート電極のゲート長は、上記複数のメモリセルに含まれる

MISFETのゲート電極のゲート長よりも長いことにより、第1のダミーMISFETのチャネルを流れるリーク電流を低減することができる。また、結果として消費電力を低減できることにもつながり、好ましい。

【0042】

上記複数のメモリセルに含まれるMISFETのゲート電極と上記半導体基板との間、及び上記第1のダミーゲート電極と上記半導体基板との間にはそれぞれ第1のゲート絶縁膜、第2のゲート絶縁膜が設けられており、上記第2のゲート絶縁膜の膜厚は上記第1のゲート絶縁膜の膜厚より厚いことにより、第1の不純物拡散層から第1のゲート絶縁膜を介してゲート電極に流れるリーク電流を低減することができるので、好ましい。

【0043】

上記複数のメモリセルに含まれるMISFETのうち、上記ワード線が延びる方向に一行に配置されたMISFETのゲート電極は、共通のゲート線の一部であり、上記ゲート線は、上記複数のメモリセル内のMISFETのうち、上記ワード線が延びる方向に隣接する2つのMISFETの第1の不純物拡散層に挟まれた領域に向かって分岐していることにより、第1の不純物拡散層の断面積を広げることができるので、電位を安定させることができる。

【0044】

上記半導体基板は、埋め込み絶縁膜と、上記埋め込み絶縁膜上に設けられ、且つ第1の不純物拡散層及び第2の不純物拡散層を含む半導体層とを有する部分空乏型SOI基板であり、上記半導体層には負電圧が印加されていることにより、メモリセル間のリーク電流をより低減することができるので、動作速度をより向上させることができる。

【0045】

上記複数のワード線のそれぞれに接続されたNチャネル型の第1のドライバ用MISFET及びPチャネル型の第2のドライバ用MISFETを有し、上記複数のワード線の電位を設定するためのワード線ドライバをさらに備え、上記複数のワード線のうち、互いに隣接するワード線に接続された上記第1のドライバ用MISFETの間には、第2のダミーゲート電極を有し、動作期間中オフ状態に

保持される第2のダミーMISFETがさらに設けられていることにより、ワード線ドライバ内のMISFETにおいてもSTIからの応力の影響を低減できる。そのため、特に、ワード線ドライバの動作速度が半導体記憶装置の動作速度の律速している場合に特に効果的である。

【0046】

上記ワード線が延びる方向に一行に配置された上記第1のダミーMISFET及び第2のダミーMISFETに含まれる上記第1のダミーゲート電極及び上記第2のダミーゲート電極は、共通のダミーゲート線の一部であることにより、第2のダミーゲート電極をダミーゲート線と別個に設ける場合に比べて回路面積の増加を抑えることができる。

【0047】

上記複数のメモリセルに含まれるMISFET及び上記第1のダミーMISFETは共にNチャネル型であり、上記複数のメモリセルに含まれるMISFETの第2の不純物拡散層と、上記第1のドライバ用MISFETの第2の不純物拡散層とは、上記第1の電源が接続されており、上記第1の電源は負電圧を供給する電源であることにより、ワード線のローレベル電圧を負電圧にすることができるので、メモリセルからのリーク電流を低減することができる。

【0048】

本発明の半導体集積回路は、複数のワード線と、上記複数のワード線と交差する複数のビット線と、第1の不純物拡散層、第2の不純物拡散層及びゲート電極を有するMISFETをそれぞれ含み、第1の半導体基板上に設けられた複数の第1のメモリセルとを有する半導体記憶装置と、半導体基板上に設けられたMISFETを含み、論理回路を有する回路ブロックと、少なくとも上記第1の半導体基板の一部に固定電位を供給するための電源回路とを備えている半導体集積回路であって、上記複数の第1のメモリセルのうち、上記ビット線の延びる方向に互いに隣接する第1のメモリセルを第3のメモリセル及び第4のメモリセルとするとき、上記第3のメモリセルに含まれる第1のMISFETの第1の不純物拡散層と上記第2のメモリセルに含まれる第2のMISFETの第1の不純物拡散層との間には、第1の電源に接続されたダミーゲート電極と、第3の不純物拡散

層と、第4の不純物拡散層とを有し、動作期間中にオフ状態に保持されるダミーMISFETが設けられている。

【0049】

これにより、半導体記憶装置の動作速度を従来よりも向上させることができるので、好ましい。

【0050】

上記回路ブロックは、DRAM、SRAM及び不揮発性メモリのうちから選ばれた少なくとも1つの回路をさらに有していてもよい。

【0051】

上記複数のメモリセルに含まれるMISFET及び上記ダミーMISFETは共にNチャネル型であり、上記第1の電源は負電圧を供給するための電源であれば、ダミーMISFETを流れるリーク電流を低減できるので、好ましい。

【0052】

上記電源回路は、上記第1の半導体基板の一部と上記回路ブロックの半導体基板の一部とに負電圧を供給することにより、回路ごとに個別に電源回路を設ける場合に比べて回路面積を縮小することができる。

【0053】

上記電源回路と上記論理回路との間には、上記論理回路に上記電源回路の出力電圧を供給するか、接地電圧を供給するかを選択するためのスイッチがさらに設けられていることにより、論理回路の動作時には基板に接地電圧を供給し、論理回路内のNchMISFETのしきい値電圧を相対的に下げて高速動作させ、論理回路の待機時には半導体基板に負電位を供給してNchMISFETのしきい値電圧を相対的に上げてリーク電流を小さくし、低消費電力化を行うことができる。

【0054】

【発明の実施の形態】

従来技術の課題を解決するため、まず、従来技術以外の方法で製造プロセス工程の改善によりSTIから加わる応力の影響を削減することが試みられた。しかしながら、MOSFETに対する応力の影響をある程度低減することはできたも

の、完全に無くすことは困難であった。そのため、本願発明者らは発想を転換し、素子分離用絶縁膜自体を用いない半導体記憶装置の構成を検討を行った。その結果、本願発明者らは動作中に常にオフ状態に保持したMOSFETを「ダミーMOSFET」として素子分離用絶縁膜の代わりに用いることに想到した。ここで「ダミーMOSFET」と呼ぶのは、情報を保持するMOSFETと区別するためである。以下、このことを応用した本発明の実施形態について説明する。

【0055】

(第1の実施の形態)

図1(a)は、本発明の第1の実施形態に係る半導体記憶装置であるマスクROMのメモリセル領域を示す平面図であり、(b)は(a)に示すマスクROMのIb-Ib線における断面図である。また、図2は、第1の実施形態のマスクROMのメモリセル領域とセンスアンプの構成を示す等価回路図である。本実施形態のマスクROMは、これ単体で半導体チップ上に設けられていることもあるが、論理回路等と共に集積化されてシステムLSIのメモリブロックを構成する場合も多い。

【0056】

図1(a)、(b)に示すように、本実施形態のマスクROMは、複数のワード線101と、ワード線101と交差する複数のビット線102と、ゲート電極104aがワード線101に接続され、行列状に配置されたNチャネル型の複数のMOSFETと、ビット線102の延びる方向に隣接する2つのMOSFETの間に設けられ、動作期間中オフ状態に保持されたNチャネル型のダミーMOSFETとを有するメモリセル領域を備えている。本実施形態のマスクROMでは、複数のMOSFETの各々がメモリセルとなっている。

【0057】

メモリセル中の各MOSFETは、ゲート絶縁膜106aを挟んでシリコン基板などの半導体基板上に設けられたゲート電極104aと、半導体基板のうちゲート電極104aの側方に位置する領域に形成されたドレイン領域及びソース領域(第1の不純物拡散層及び第2の不純物拡散層)とを有している。複数のMOSFETのうち、同一行に並べられたMOSFETのゲート電極104aは、共

通のゲート線 104 の一部分となっており、ゲート線 104 は、ゲートコンタクト 111 を介してワード線 101 に接続されている。また、同一行に配置された複数の MOSFET のソース領域同士は互いに一体化されており、MOSFET が NchMOSFET の場合、ソースコンタクトを介してグラウンド線 103 に接続されている。そして、同一行に配置された複数の NchMOSFET のドレイン領域同士は、素子分離用絶縁膜 110 によって互いに分離されている。

【0058】

一方、ダミー MOSFET は、ゲート絶縁膜 106b を挟んで半導体基板上に設けられたダミーゲート電極 105a と、半導体基板のうちダミーゲート電極 105a の側方に位置する領域に形成された第 1 の不純物拡散層及び第 2 の不純物拡散層とを有している。複数のダミー MOSFET のうち、同一行に並べられた MOSFET のダミーゲート電極 105a は、共通のダミーゲート線 105 の一部分となっており、ダミーゲート線 105 は、ダミーゲートコンタクト 114 を介してグラウンド線 103 に接続されている。本実施形態のマスク ROM においては、ダミーゲート線 105 は、ワード線 101 と同方向に延びており、2 本のゲート線 104 に挟まれた形となっている。また、ダミー MOSFET の第 1 の不純物拡散層及び第 2 の不純物拡散層は、共にビット線 102 の延びる方向に隣接する MOSFET の第 1 の不純物拡散層と共通の n 型不純物拡散層で構成されている。

【0059】

メモリセルとなる各 MOSFET においては、ドレイン領域 108 がドレインコンタクト 115 及びビア 112 を介してビット線 102 に接続されるか、または接続されないかにより、“1” または “0” のデータを記憶する。

【0060】

本実施形態のマスク ROM を図 1 (b) に示す断面で見た場合、メモリセル (MOSFET) - ダミー MOSFET - メモリセルを 1 つの単位とする構成が繰り返されている。すなわち、本実施形態のマスク ROM においては、ビット線の延びる方向に隣接するメモリセル間に設けられていた素子分離用絶縁膜に代えて、オフ状態に保持された MOSFET を用いている。このため、本実施形態のマ

マスクROMでは素子分離用絶縁膜からの応力の影響が低減されており、読み出し速度の低下が抑制されている。

【0061】

次に、本実施形態のマスクROMの周辺回路の構成と回路動作について説明する。

【0062】

図2に示すように、本実施形態のマスクROMでは、複数のメモリセルを有するメモリセル領域の周辺に、アドレスデータに基づいて選択されたワード線101（図1参照）を活性化するためのアドレスデコーダ（図示せず）と、ビット線102に接続され、ビット線102上を流れる読み取り信号を論理レベルまで増幅し、センスアンプ出力信号Soutを出力するためのセンスアンプ203と、センスアンプ203からの出力を外部回路に出力するための出力回路207とが設けられている。なお、図2においてIleakは各メモリセルを流れるリーク電流を示し、Ileak#allはビット線102に流れるリーク電流の総和を示す。

【0063】

図2に示す例では、ワード線101のうち、ワード線WL0、WL1、WL2、WL3…が、グランド線103に接続されたソースを有するMOSFET202のうちMOSFET202a、202b、202c、202d…のゲート電極にそれぞれ接続されている。そして、MOSFET202a、202cは共にビア112を介してビット線102（図1参照）に接続され、MOSFET202b、202dは共にビット線102に接続されていない。MOSFET202aのドレイン領域とMOSFET202cのドレイン領域との間、MOSFET202cのドレイン領域とMOSFET202dのドレイン領域との間には、記憶動作に関係しないダミーMOSFET201a、201bがそれぞれ設けられている。

【0064】

ビット線102は、カラム選択信号CAによってオンまたはオフが制御されたNチャネル型MOSFETであるカラム選択スイッチ211を介してセンスアンプ203に接続されている。

【0065】

このセンスアンプ203の回路構成は、従来のマスクROMと同じである。

【0066】

すなわち、センスアンプ203は、第1入力部がカラム選択スイッチ211を介してビット線102に接続され、第2入力部にセンスアンプ選択信号SAが入力されたNAND回路213と、ソースに電源電圧が印加され、ドレインがカラム選択スイッチ211とNAND回路213の第1入力部とに接続されたPチャネル型MOSFETである第1のスイッチ206と、ソースに電源電圧が印加され、ドレインがカラム選択スイッチ211とNAND回路213の第1入力部とに接続されたPチャネル型MOSFETである第2のスイッチ205とを有している。第1のスイッチ206の動作は、ゲート電極に入力されるプリチャージ信号PCによって制御されている。また、第2のスイッチ205のゲート電極は、NAND回路213の出力部に接続されている。

【0067】

以上の構成を有する本実施形態のマスクROMは、ダミーMOSFETをオフ状態に保持する他は、従来のマスクROMと同様の動作を行なう。

【0068】

すなわち、プリチャージ期間には第1のスイッチ206がオフとなることでビット線102が電源電圧によりプリチャージされる。次いで、評価期間では、第1のスイッチ206がオフになり、アドレスにより選択されたMOSFET（メモリセル）のゲート電極にハイレベルの電圧が印加される。

【0069】

この際に、選択されたメモリセルとビット線102とがビア112により接続されている場合には、ビット線102はディスチャージされ、センスアンプ出力信号Soutがハイレベルに変化する。そして、出力回路207からの出力Outはローレベルに変化する。

【0070】

一方、メモリセルとビット線102とがビア112により接続されている場合には、ビット線102の電位は変化せず、出力Outはプリチャージ期間と同様

にハイレベルのままとなる。

【0071】

以上の構成を有する本実施形態のマスクROMによれば、上述のようにビット線102の延びる方向に隣接するメモリセルの間にSTIを形成する必要がなくなるので、ビット線方向のSTIからの応力を受けてMOSFETの駆動電流が減少する不具合を抑えることができる。従って、ROMの動作速度を向上させることができる。

【0072】

オフ状態のダミーMOSFETにはわずかにリーク電流が流れる。このリーク電流が十分小さい場合（例えば1つのダミーMOSFET当たり1pA以下）、ROMの動作には影響を与えない。

【0073】

しかし、設計上ダミーMOSFETのリーク電流が無視できない大きさになる場合、ダミーMOSFETから隣接するMOSFETを経由してグラウンド線に電流が流れるので、消費電力が増加することがある。この場合には、ダミーゲート電極に印加する電圧を負電圧にすることで、リーク電流を抑えることができる。

【0074】

なお、メモリセルを構成するMOSFETは動作速度の観点からNチャネル型MOSFETであることが好ましいが、Pチャネル型MOSFETであってもよい。Pチャネル型MOSFETの場合、STIからの応力によって駆動電流が増加する可能性もある。しかし、STIからの応力の影響にはばらつきもあるので、STIに代えてダミーMOSFETを設けることで、メモリセルごとの性能のばらつきを抑えることは可能である。この際のダミーMOSFETは、オフ状態に保持されたPチャネル型であることが好ましい。

【0075】

なお、ダミーMOSFETを流れるリーク電流が十分に小さく抑えられる場合には、ダミーゲート電極に0Vを越えダミーMOSFETのしきい値電圧未満の電圧を印加しても動作させることができる。ただし、リーク電流が増加するので、通常は0V以下の電圧を印加することが好ましい。

【0076】

また、本実施形態のマスクROMは、従来のマスクROMと同じ工程数で製造することが可能である。例えば、メモリセルを構成するMOSFETを形成する際に、半導体基板上にシリコン酸化膜、ポリシリコン膜を堆積してからパターンニングによってゲート絶縁膜106a、106b及びゲート電極104a、ダミーゲート電極105aを同時に形成することができる。

【0077】

また、以上では半導体記憶装置がマスクROMである場合について説明したが、本発明の概念は、メモリセルにMOSFETを含むDRAMのような半導体記憶装置にも応用できる。つまり、DRAMにおいて、ビット線が延びる方向に互いに隣接するメモリセル内のMOSFET間に動作期間中オフ状態にしたダミーMOSFETを配置しても上述の効果が得られる。

【0078】

なお、本実施形態のマスクROMでは、ワード線が延びる方向に互いに隣接するMOSFET間にはSTIが設けられている。このSTIの一部に代えて、ダミーMOSFETを設けてもよい。これにより、ワード線の延びる方向に設けられたSTIからの応力もなくすことができるので、マスクROMの動作速度をさらに向上させることができる。ただし、ダミーゲートがワード線のゲートに交わらないようにするため、STIを完全になくすことはできない。

【0079】

また、本実施形態では、メモリセル領域及びセンスアンプにMOSFETが含まれる例を説明したが、MOSFETに代えてシリコン酸化膜以外のゲート絶縁膜を有するMISFETを用いてもよい。これは、以下で説明する実施形態にも共通である。

【0080】

(第2の実施形態)

図3(a)は、本発明の第2の実施形態に係るマスクROMのメモリセル領域を示す平面図であり、(b)は、(a)に示すマスクROMのIIIb-IIIb線における断面図である。

【0081】

本実施形態のマスクROMは、第1の実施形態のマスクROMと次の点で異なっている。

【0082】

まず、第1に、本実施形態のマスクROMでは、ダミーゲート電極105a及びダミーゲート線105の幅（ゲート長）がメモリセルを構成するMOSFETのゲート電極104a及びゲート線104の幅よりも大きくなっている。本実施形態の例では、ゲート電極104aのゲート長が100nm程度なのに対してダミーゲート電極105aのゲート長は150nm程度である。

【0083】

この構成によって、ダミーMOSFETの第1の不純物拡散層と第2の不純物拡散層との間隔を広げることができるので、よりリーク電流を低減することが可能となる。従って、本実施形態のマスクROMは、第1の実施形態のマスクROMよりも消費電力を低減させることが可能となっている。

【0084】

第2に、本実施形態のマスクROMでは、ダミーゲート電極105aと半導体基板107との間のゲート絶縁膜106bの膜厚が、メモリセルのゲート絶縁膜106aの膜厚より厚く設定されている。例えば、1つの配線層の高さが100nm程度である場合、ゲート絶縁膜106aの膜厚が2.6nm程度であるのに対し、ゲート絶縁膜106bの膜厚は3.5nm以上10nm以下程度である。ただし、それぞれのゲート絶縁膜の膜厚は、配線層の高さや設計ルールによっても異なってくる。このように、同一の半導体基板上に膜厚の異なるゲート絶縁膜を形成することは、半導体基板上面の二重あるいは三重酸化などの公知の方法により容易に行える。

【0085】

このような構成により、ダミーMOSFETにおいて、ゲートソース間のリーク電流を低減することが可能になる。また、半導体基板、ゲート絶縁膜及びゲート電極で構成されるキャパシタに生じる寄生容量を低減することができる。従って、マスクROMの動作速度をより向上させることができる。また、ゲート絶

縁膜 106b の膜厚を厚くすることで、ダミー MOSFET のしきい値電圧を上げる（絶対値を大きくする）こともできるので、ソースドレイン間のリーク電流も低減することができる。

【0086】

第3に、本実施形態のマスク ROM では、メモリセルを構成する MOSFET のしきい値電圧よりもダミー MOSFET のしきい値電圧が高くなるように、ダミーゲート電極 105a 直下の半導体領域（チャネル領域）の不純物濃度が調整されている。ここで、チャネル領域の P 型不純物濃度を高くするほどダミー MOSFET のしきい値電圧を高く設定することができる。

【0087】

この構成により、ダミー MOSFET が N チャネル型である場合、リーク電流を抑える事が出来るので、ROM の消費電力を低減することが可能となる。

【0088】

なお、本実施形態の説明では、上記の3つの特徴をまとめて説明したが、ダミーゲート電極 105a の幅を太くする、ゲート絶縁膜 106b の膜厚を増す、ダミーゲート電極 105a 直下のチャネル領域への不純物注入濃度を調整する、という手段を単独で実施した場合でも上述の効果を得ることができる。

【0089】

なお、本実施形態のマスク ROM において、上記の3点以外の構成は第1の実施形態のマスク ROM と同じであるので、説明を省略する。

【0090】

（第3の実施形態）

図4（a）は、本発明の第3の実施形態に係るマスク ROM のメモリセル領域を示す平面図であり、（b）は、（a）に示すマスク ROM の IVb-IVb 線における断面図である。

【0091】

同図（a）に示すように、本実施形態のマスク ROM は、第2の実施形態のマスク ROM におけるゲート線 104 を、メモリセルを構成する MOSFET のドレイン領域間の STI に向けて分岐させたものである。図4に示す例では、ワー

ド線が延びる方向に隣接するMOSFETに挟まれたSTIごとに、ゲート線104の分岐が形成されている。なお、ゲート線104以外の部材の形状は、第2の実施形態のマスクROMと同じである。

【0092】

以上の構成によれば、ソース領域109の断面積を広げることによりグラウンド固定電位を安定させることができる。

【0093】

更に、本実施形態のマスクROMによれば、メモリセルを構成するMOSFETの実効的なゲート幅を増やすことができるので、メモリセルに流れる電流を増加させ、ROMの動作速度を上げることができる。

【0094】

なお、第1の実施形態のマスクROMのゲート線に上述のような分岐を設ける場合であっても、ROMの動作速度を向上させることができる。

【0095】

(第4の実施形態)

図5は、(a)は、本発明の第4の実施形態に係るマスクROMのメモリセル領域を示す平面図であり、(b)は、(a)に示すマスクROMのVb-Vb線における断面図、(c)は、(a)に示すマスクROMのVc-Vc線における断面図である。

【0096】

本実施形態のマスクROMは、図3(a)、(b)に示す第2の実施形態のマスクROMを部分空乏型のSOI基板上に形成し、ダミーゲート電極105aの下方の半導体領域に負電位を印加したものである。

【0097】

図5(b)に示すように、本実施形態のマスクROMは、例えばシリコンからなる基板503と基板503上に設けられたSiO₂からなる埋め込み絶縁膜501と、埋め込み絶縁膜501上に設けられ、例えばシリコンからなる半導体領域116とを備えている。そして、半導体領域116のうち、ゲート電極104a及びダミーゲート電極105aの側下方に位置する領域にソース領域109や

ドレイン領域 108a、108b などが形成されている。なお、埋め込み絶縁膜 501 と基板 503 とを合わせた基板が SOI 基板である。

【0098】

また、図 5 (c) に示すように、半導体領域 116 は P 型不純物を含むコンタクト領域及びプラグを介して負の電源に接続されている。

【0099】

このように、SOI 基板を用いることにより、半導体領域 116 のうち、本実施形態のマスク ROM のゲート電極 104a の下方、またはダミーゲート電極 105a の下方に位置する領域同士は、埋め込み絶縁膜 501 によって互いに絶縁されることになる。そのため、他の MOSFET あるいは他のダミー MOSFET の半導体領域 116 に影響を与えることなくゲート電極 104a の下方、またはダミーゲート電極 105a の下方に位置する半導体領域 116 のそれぞれに所望の電位を与えることが可能となる。

【0100】

本実施形態のマスク ROM では、半導体領域 116 に負の電位を与えて N チャネル型のダミー MOSFET のしきい値電圧を上げることにより、ダミー MOSFET のリーク電流を抑え、消費電力を減少させることができる。

【0101】

(第 5 の実施形態)

図 6 は、本発明の第 5 の実施形態に係る半導体集積回路 (LSI 回路) の一部を示す平面図である。

【0102】

本発明の第 5 の実施形態では、例えば第 4 の実施形態に係るマスク ROM を含む半導体集積回路の一例について説明する。

【0103】

図 6 に示すように、本実施形態の半導体集積回路は、マスク ROM 601 と、半導体メモリと論理回路ブロック 604 とを含む回路ブロックと、マスク ROM 601、半導体メモリ及び論理回路ブロック 604 にそれぞれ負電圧を供給するための電源回路 603 と、スイッチ 605 とを備えている。なお、回路ブロック

は、論理回路ブロック 604 のみで構成される場合や、論理回路ブロック 604 と不揮発性メモリで構成される場合もある。

【0104】

図 6 に示す半導体集積回路では、半導体メモリの一例として、各メモリセルが N c h M O S F E T であるアクセストランジスタ 606 とキャパシタとで構成されている 1 T 1 C (1 トランジスタ 1 キャパシタ) 型の D R A M 602 が用いられているが、この他にも、S R A M など他の半導体メモリを用いてもよい。

【0105】

また、マスク R O M 601 としては、第 1 ～ 第 4 の実施形態のマスク R O M のうち、いずれを用いてもよい。

【0106】

通常の D R A M においては、アクセストランジスタの基板電位効果を抑制するために、基板に負電位が印加されることが多い。また、論理回路ブロック 604 内の N c h M O S F E T においても、基板電位効果を抑制するために、基板に負電位が印加されることがある。そのため、本実施形態の半導体集積回路においては、共通の電源回路 603 から、マスク R O M 601 のダミーゲート線 105、D R A M 602 内のアクセストランジスタ 606 の基板領域、論理回路ブロック内の N c h M O S F E T の基板領域にそれぞれ負電圧を供給している。ただし、論理回路ブロック 604 においては、動作時に N c h M O S F E T の基板にグラウンド電位を印加し、しきい値電圧を相対的に下げて高速動作させる。一方、待機時には負電位を印加し、しきい値電圧を相対的に上げてリーク電流を小さくし、低消費電力化を行う。論理回路ブロック 604 に印加する電位は、スイッチ 605 によって切替えられる。

【0107】

以上のように、本実施形態の半導体集積回路では、1 つの電源回路が複数の回路ブロックによって共用されているので、回路ブロックごとに電源回路を設ける場合に比べて回路数を削減することができ、同時にチップ面積を低減することも可能となる。

【0108】

なお、上述の例では、DRAM602及び論理回路ブロック604とマスクROM601とで負電圧を供給する電源回路603を共用したが、これ以外の回路と電源回路603を共用する構成であっても、回路数を削減することができる。

【0109】

また、マスクROM601が図5(a)～(c)に示すようにSOI基板上に設けられ、半導体領域に負電圧が印加されている場合には、電源回路603から供給される負電圧が半導体領域に印加される構成であってもよい。

【0110】

なお、本実施形態の半導体集積回路は、マスクROM601、DRAM602、論理回路ブロック604などが同一の基板上に形成されたものであってもよいし、各回路ごとの半導体チップを組み合わせて形成されたものであってもよい。

【0111】

(第6の実施形態)

図7(a)は、本発明の第6の実施形態に係るマスクROMにおけるワード線ドライバ及びメモリセル領域を示す平面図であり、(b)は、(a)に示すワード線ドライバ及びメモリセル領域の構成を示す回路図である。このワード線ドライバ702は、アドレスデコーダの一部である。

【0112】

本実施形態のマスクROMの特徴は、ワード線ドライバ702内にもSTIに代えてダミーMOSFETが設けられている点である。

【0113】

ワード線ドライバ702は、アドレスデータに応じて選択されたワード線にハイレベルの電圧を、選択されないワード線にはローレベルの電圧を印加する。図7(b)に示すように、本実施形態のワード線ドライバ702は、互いに同一のワード線に接続されたNchMOSFET710とPchMOSFET712とを有している。例えば、ワード線WL₀はPchMOSFET712p₀及びNchMOSFET710n₀に接続され、ワード線WL₁はPchMOSFET712p₁及びNchMOSFET710n₁に接続されている。ここで、NchMOSFET710及びPchMOSFET712は、各NchMOSFET及び各

PchMOSFETを個々に区別しない場合の呼び方である。また、NchMOSFET710及びPchMOSFET712のゲート電極同士は互いに接続されている。

【0114】

このワード線ドライバ702においては、ビット線の延びる方向（図7（b）における上下に延びる方向）に隣接するNchMOSFET710の間にNチャネル型の第1のドライバ内ダミーMOSFET705が設けられている。また、ビット線の延びる方向に隣接するPchMOSFET712の間にPチャネル型の第2のドライバ内ダミーMOSFET706が設けられている。

【0115】

そして、第1のドライバ内ダミーMOSFET705のダミーゲート電極703は、延伸されたダミーゲート線105の一部であり、グランド線に接続されている。これにより、第1のドライバ内ダミーMOSFET705は動作期間中オフ状態に保持される。これにより、ビット線の延びる方向に隣接するNchMOSFET710のドレイン領域同士は分離される。

【0116】

また、第2のドライバ内ダミーMOSFET706のダミーゲート電極704には電源電圧が印加されている。これにより、第2のドライバ内ダミーMOSFET706は動作期間中常にオフ状態に保持され、ビット線の延びる方向に隣接するPchMOSFET712のドレイン領域同士は分離される。

【0117】

以上の構成によれば、ワード線ドライバ702内のMOSFETについても、メモリセル内のMOSFETと同様にSTIからの応力を緩和することができるので、従来のマスクROMに比べて駆動電流を増加させることができ、ひいては動作速度を向上させることが可能となる。また、MOSFETの電流駆動能力が向上するため、回路面積をより縮小させることも可能となる。

【0118】

特に、メモリセル領域に設けられたダミーゲート線を延伸したものによってワード線ドライバ702のNchMOSFET710同士を分離することで、ワー

ド線のダミーゲート電極 703 とメモリセルのダミーゲート電極 105a とを別々に設けた場合に比べ、ダミーゲート電極 105a、703 の電位を固定する配線の合計本数を削減することができ、さらにチップ面積を小さくすることができる。

【0119】

なお、以上で説明した例では、PchMOSFET 712 も、NchMOSFET 710 と同様にダミーMOSFET で分離しているが、従来どおり STI で分離しても、本発明の効果を得ることができる。

【0120】

また、ダミーMOSFET をワード線ドライバ 702 内にのみ設けても従来のマスクROM に比べて動作速度を向上させることは可能である。しかしながら、メモリセル領域 701 内のダミーMOSFET と第 1 のドライバ内ダミーMOSFET 705 とは同一の工程で作成することができるので、性能の点から考えてワード線ドライバ 702 とメモリセル領域 701 の両方にダミーMOSFET を設ける方が好ましい。

【0121】

(第 7 の実施形態)

図 8 (a) は、本発明の第 6 の実施形態に係るマスクROM におけるワード線ドライバ及びメモリセル領域を示す平面図であり、(b) は、(a) に示すワード線ドライバ及びメモリセル領域の構成を示す回路図である。また、図 8 (c) は、本実施形態のマスクROM におけるワード線の電圧変化を示す図である。

【0122】

図 8 (a)、(b) に示すように、本実施形態のマスクROM は、第 6 の実施形態のマスクROM とほぼ同じ構成を有しているが、メモリセル領域 701 内のダミーゲート電極 105a の電位とワード線ドライバを形成する NchMOSFET 710 のソース領域の電位とを、共にグランド電位よりも低い Vbias の電位に固定していることである。

【0123】

これにより、メモリセル領域 701 内のダミーMOSFET を流れるリーク電

流、すなわちメモリセルを構成するMOSFETのドレイン領域間を流れるリーク電流をより小さくすることができる。

【0124】

また、本実施形態のマスクROMでは、ワード線の電位がグランド電位より低いVbiasから電源電位 V_{DD} まで変化する。これにより、メモリセル領域701内で非選択のワード線にゲート電極が接続されたMOSFETでは、ゲート電極にグランド電位よりも低いVbiasの電位が印加されるため、MOSFETを流れるリーク電流を小さくすることができる。

【0125】

以上のように、本実施形態のマスクROMによれば、ワード線の電位をグランド電位より低いVbiasから電源電位まで振幅するようにすることにより、メモリセルを構成するMOSFETがオフのときのリーク電流を削減することができる。これにより、ROMの消費電力を小さくすることができる。

【0126】

また、ワード線ドライバを構成するNchMOSFET710のソースにVbiasの電位を印加する際、ダミーゲートの電位を固定するための配線810を共用することができるので、新たな配線を設ける必要がなく、チップ面積の増加を抑制することができる。

【0127】

なお、図8に示す例では、ダミーゲート線105をワード線ドライバ領域まで延伸しているが、ワード線ドライバ領域のNchMOSFET710は、従来どおりSTIで分離されていても、本発明の効果を得ることが可能である。

【0128】

なお、第1の実施形態から第7の実施形態のマスクROMまたは半導体集積回路は、それぞれ独立に実施するだけでなく、複合的に組み合わせてリーク電流の削減、動作速度の向上を図ることが可能である。

【0129】

【発明の効果】

本発明のマスクROMは、ビット線の延びる方向に隣接するメモリセル内のM

OSFETのドレイン領域が、オフ状態に保持されたダミーMOSFETによって分離されているので、STIを用いて分離する場合に比べてSTIから加わる応力を緩和することができる。そのため、本発明のマスクROMによれば、従来のマスクROMに比べて動作速度を向上させることができる。

【図面の簡単な説明】

【図 1】

(a) は、本発明の第 1 の実施形態に係る半導体記憶装置であるマスクROMのメモリセル領域を示す平面図であり、(b) は (a) に示すマスクROMのIb-Ib線における断面図である。

【図 2】

第 1 の実施形態のマスクROMのメモリセル領域とセンスアンプの構成を示す等価回路図である。

【図 3】

(a) は、本発明の第 2 の実施形態に係るマスクROMのメモリセル領域を示す平面図であり、(b) は、(a) に示すマスクROMのIIIb-IIIb線における断面図である。

【図 4】

(a) は、本発明の第 3 の実施形態に係るマスクROMのメモリセル領域を示す平面図であり、(b) は、(a) に示すマスクROMのIVb-IVb線における断面図である。

【図 5】

(a) は、本発明の第 4 の実施形態に係るマスクROMのメモリセル領域を示す平面図であり、(b) は、(a) に示すマスクROMのVb-Vb線における断面図、(c) は、(a) に示すマスクROMのVc-Vc線における断面図である。

【図 6】

本発明の第 5 の実施形態に係る半導体集積回路 (LSI 回路) の一部を示す平面図である。

【図 7】

(a) は、本発明の第 6 の実施形態に係るマスクROMにおけるワード線ドラ

イバ及びメモリセル領域を示す平面図であり、(b)は、(a)に示すワード線ドライバ及びメモリセル領域の構成を示す回路図である。

【図 8】

(a)は、本発明の第6の実施形態に係るマスクROMにおけるワード線ドライバ及びメモリセル領域を示す平面図、(b)は、(a)に示すワード線ドライバ及びメモリセル領域の構成を示す回路図、(c)は、本実施形態のマスクROMにおけるワード線の電圧変化を示す図である。

【図 9】

素子分離用絶縁膜からの応力がNc hMOSFETの駆動電流に与える影響を示すグラフ図である。

【図 10】

(a)は、STIにより素子分離されたMOSFETを上面から見た平面図であり、(b)は(a)に示すMOSFETにおけるXb-Xb線での断面を示す図である。

【図 11】

(a)は、従来のマスクROMを有する半導体記憶装置のメモリセル領域を示す平面図であり、(b)は、従来のマスクROMのメモリセル領域のXIb-XIb線における断面図である。

【図 12】

(a)は、従来のマスクROMのメモリセル領域とセンスアンプの構成を示す等価回路図であり、(b)は、従来のマスクROMにおける各種信号の動作波形を示すタイミングチャート図である。

【符号の説明】

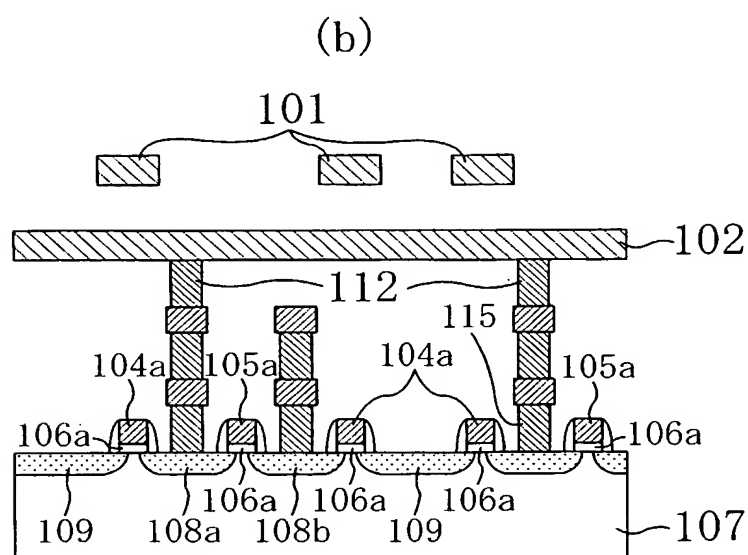
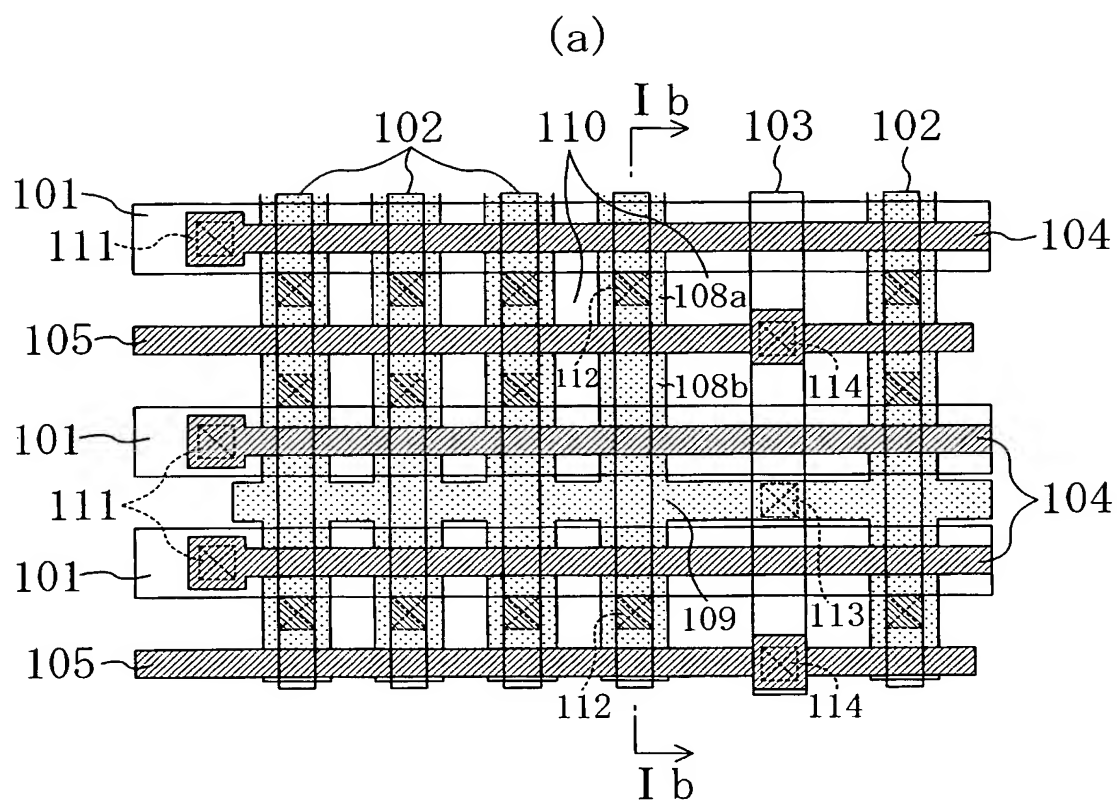
101	ワード線
102	ビット線
103	グラント線
104	ゲート線
104a	ゲート電極
105	ダミーゲート線

1 0 5 a、7 0 3	ダミーゲート電極
1 0 6 a、1 0 6 b	ゲート絶縁膜
1 0 7	半導体基板
1 0 8、1 0 8 a、1 0 8 b	ドレイン領域
1 0 9	ソース領域
1 1 0	素子分離用絶縁膜
1 1 1	ゲートコンタクト
1 1 2	ビア
1 1 4	ダミーゲートコンタクト
1 1 5	ドレインコンタクト
1 1 6	半導体領域
2 0 1 a、2 0 1 b	ダミーMOSFET
2 0 2 a、2 0 2 b、2 0 2 c、2 0 2 d	MOSFET
2 0 3	センスアンプ
2 0 5	第2のスイッチ
2 0 6	第1のスイッチ
2 0 7	出力回路
2 1 1	カラム選択スイッチ
2 1 3	NAND回路
5 0 1	埋め込み絶縁膜
5 0 3	基板
6 0 1	マスクROM
6 0 2	DRAM
6 0 3	電源回路
6 0 4	論理回路ブロック
6 0 5	スイッチ
6 0 6	アクセストランジスタ
7 0 1	メモリセル領域
7 0 2	ワード線ドライバ

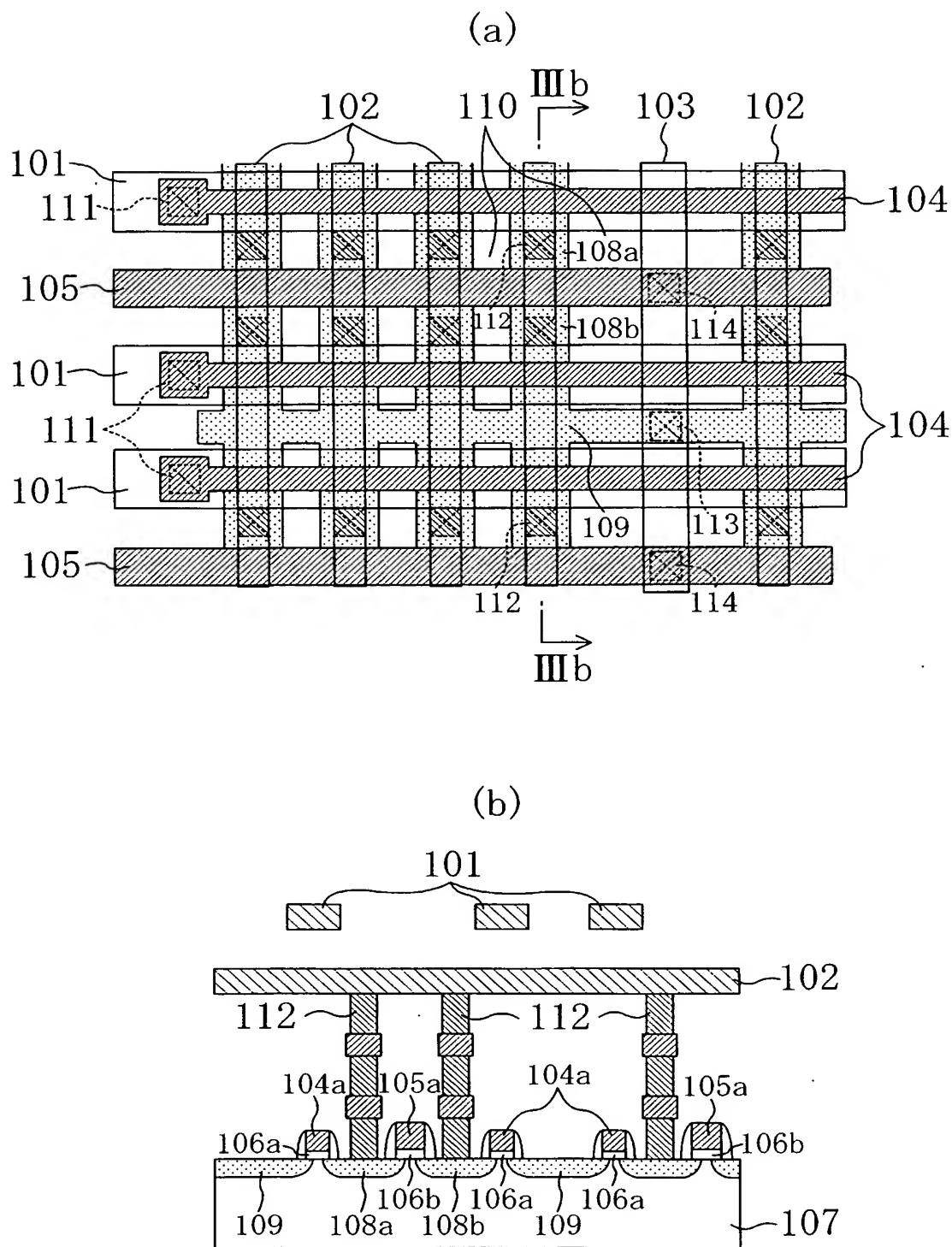
7 0 3、7 0 4 ダミーゲート電極
7 0 5 第 1 のドライバ内ダミー MOSFET
7 0 6 第 2 のドライバ内ダミー MOSFET
7 1 0、7 0 1 n₀～7 0 1 n₂ N c h MOSFET
7 1 2、7 1 2 p₀～7 1 2 p₂ P c h MOSFET
8 1 0 配線
W L 0、W L 1、W L 2、W L 3 ワード線
W L ワード線
B L ビット線
P C プリチャージ信号
S A センスアンプ選択信号
C A カラム選択信号
S o u t センスアンプ出力信号

【書類名】 図面

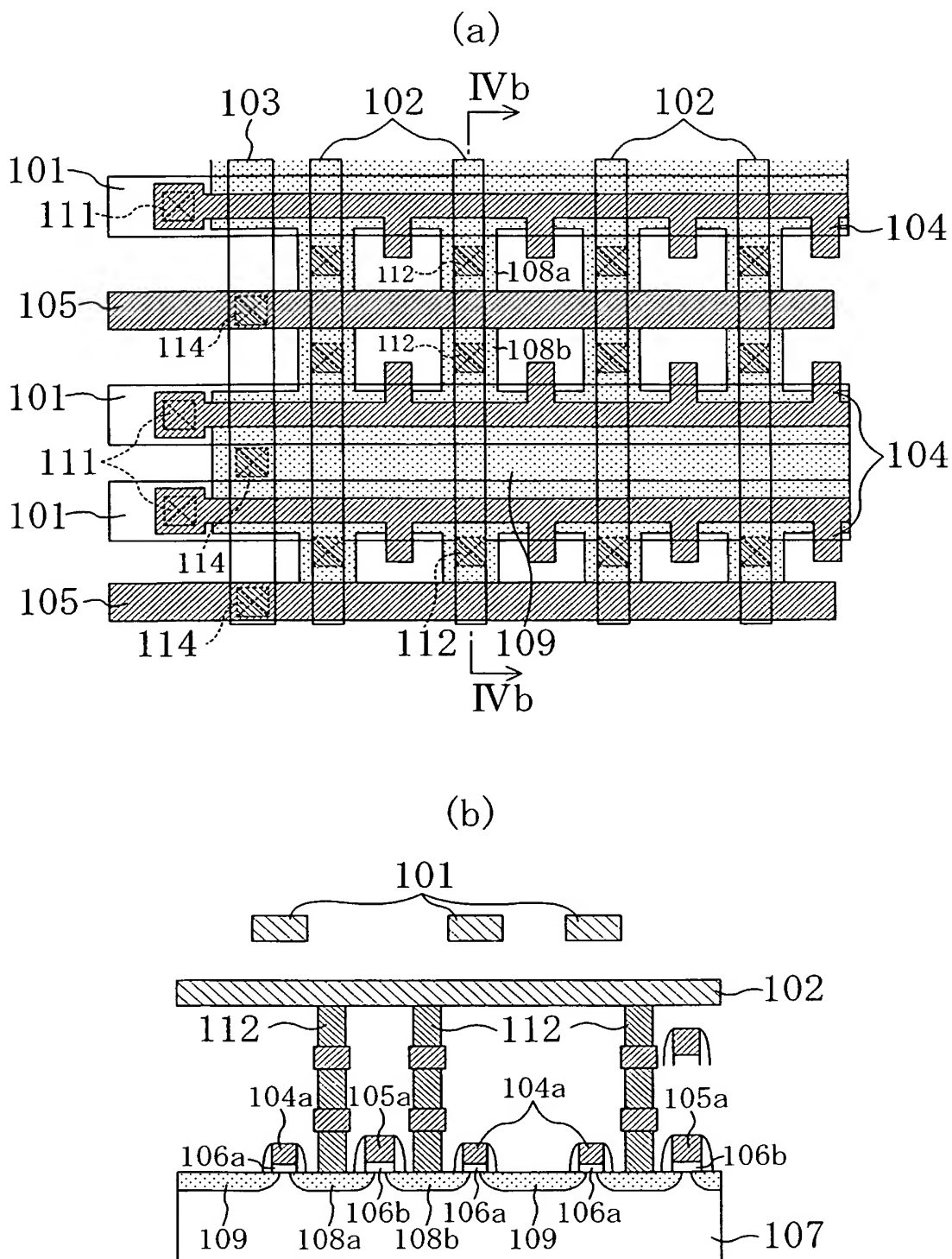
【図 1】



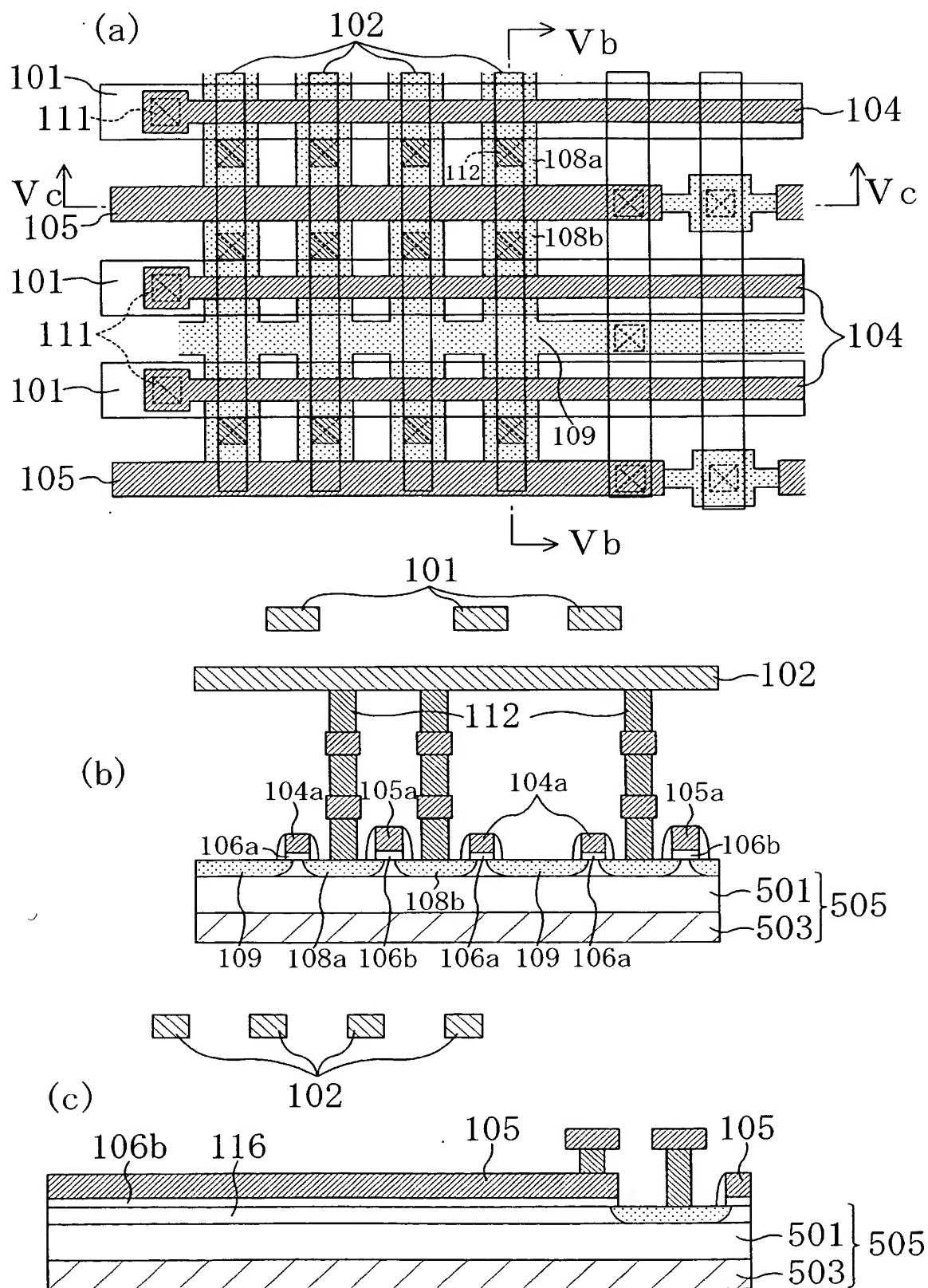
【図 3】



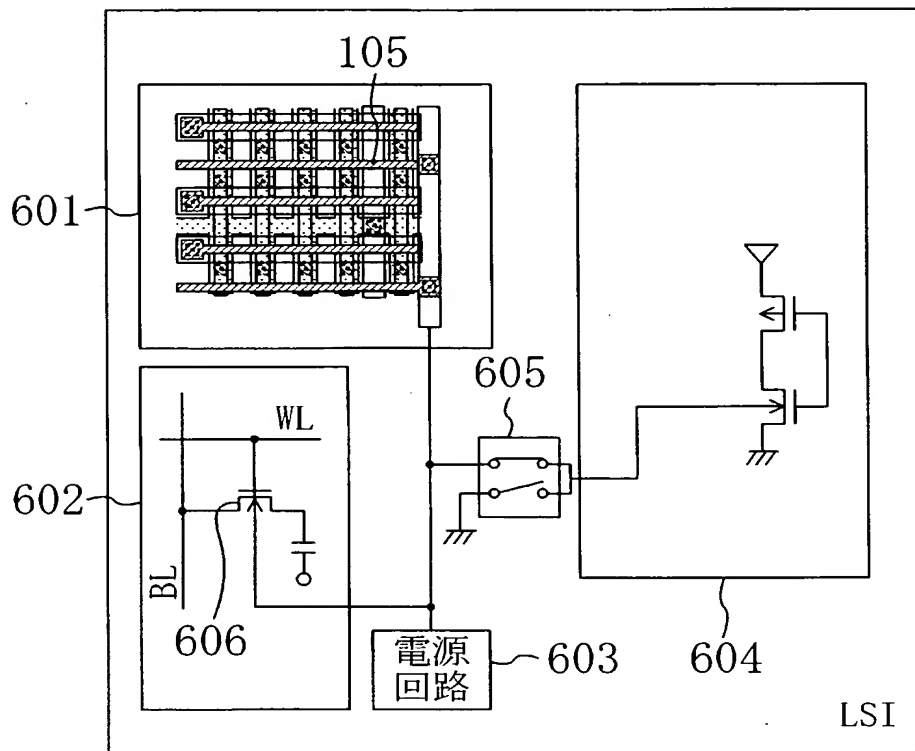
【図 4】



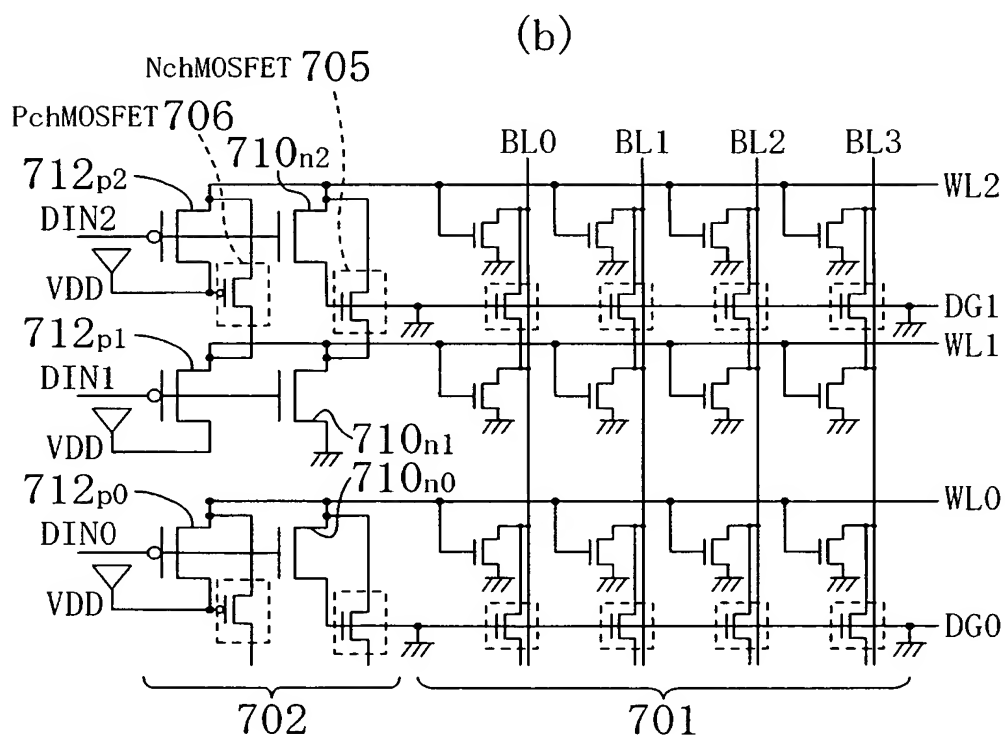
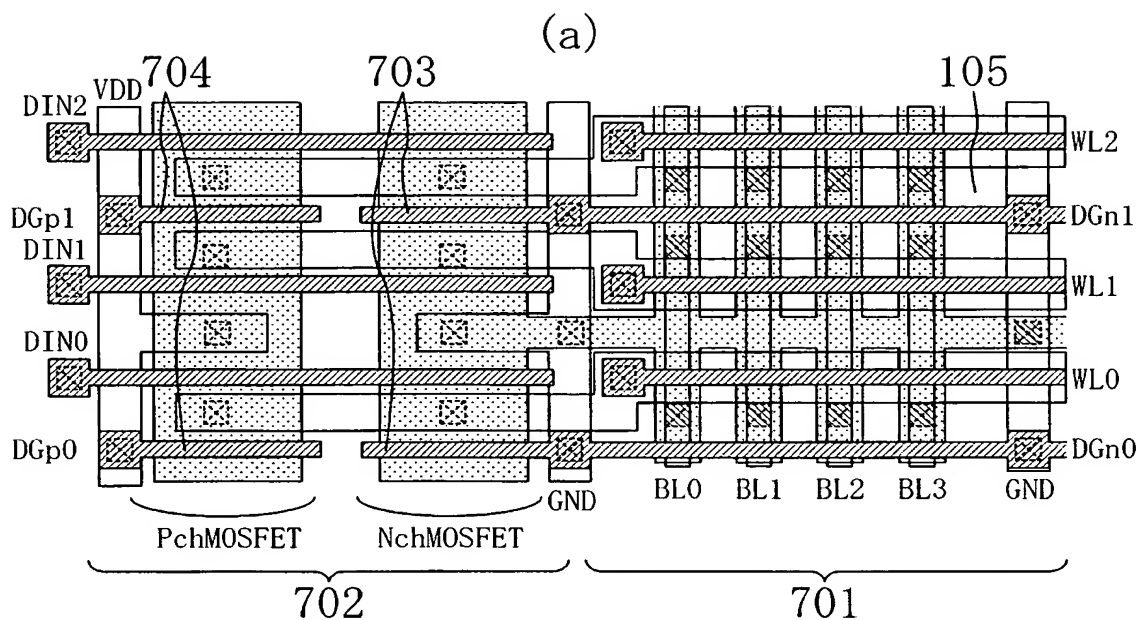
【図 5】



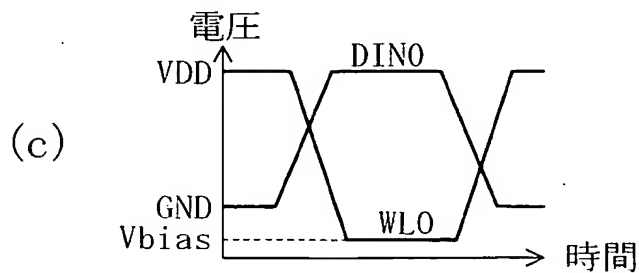
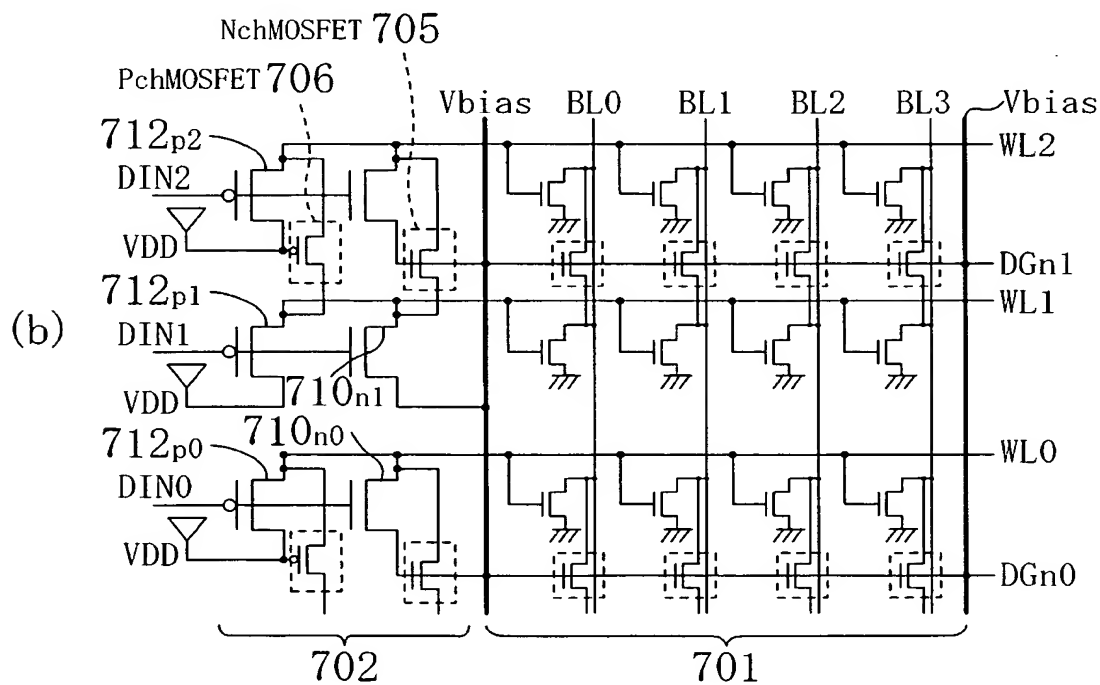
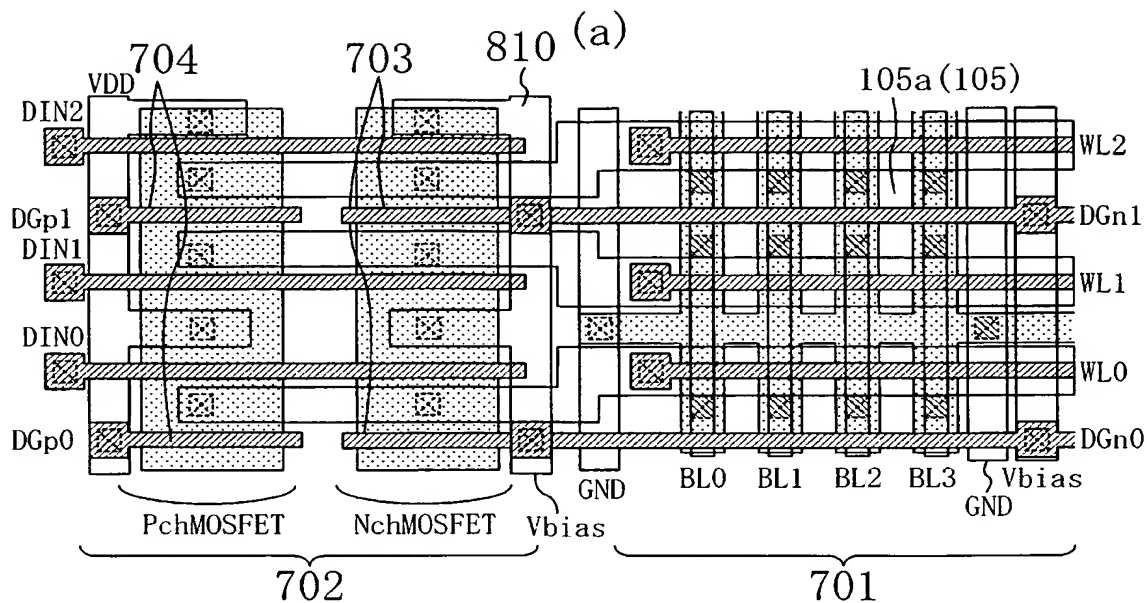
【図 6】



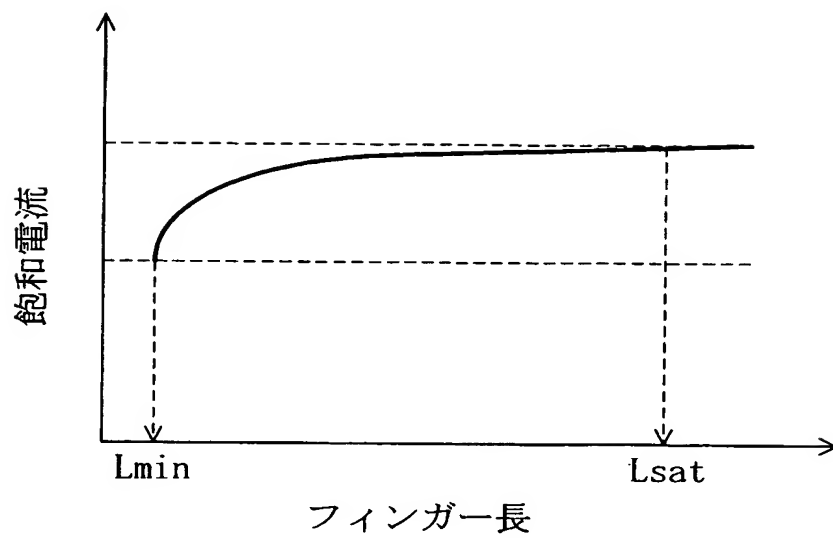
【図 7】



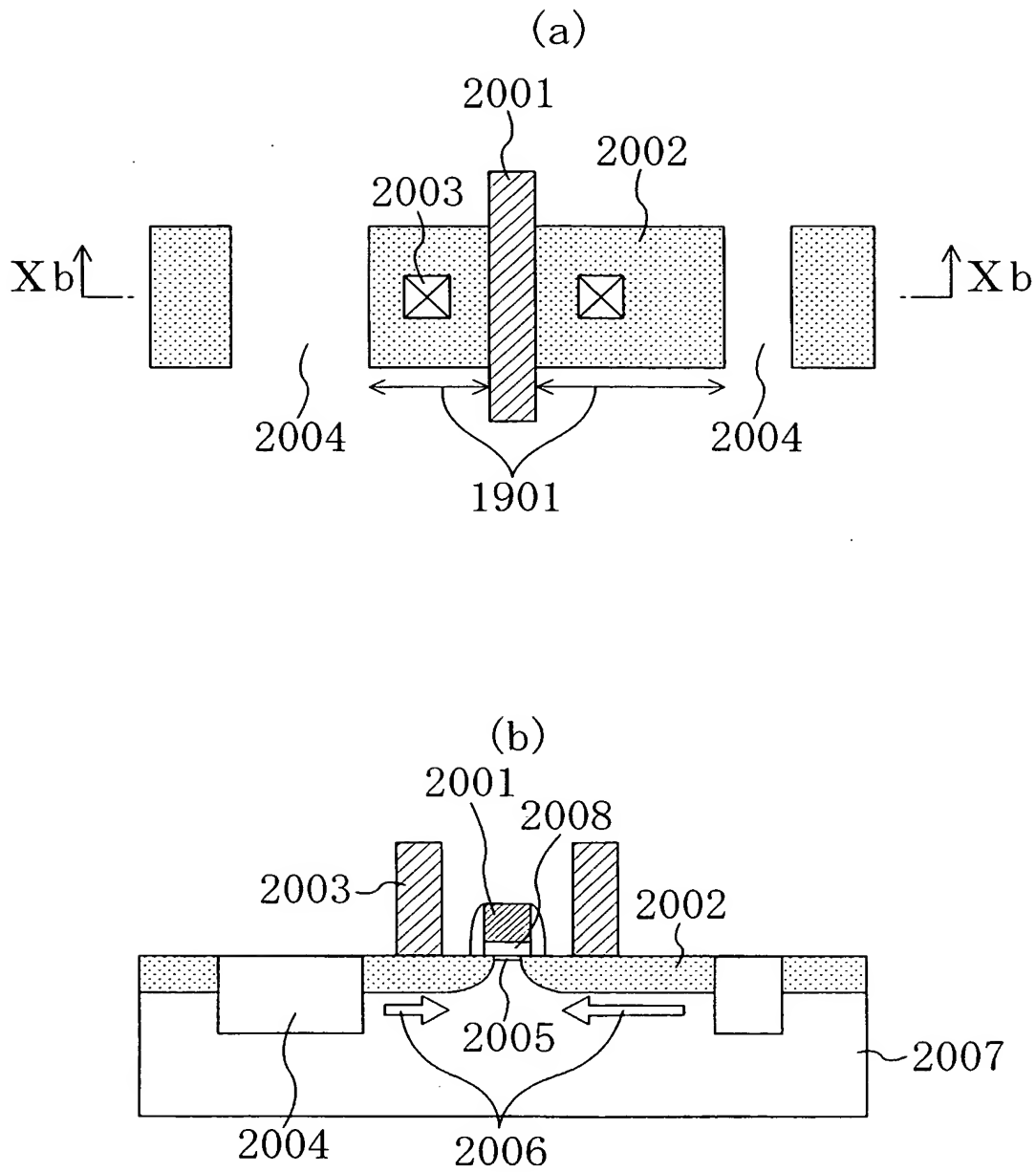
【図 8】



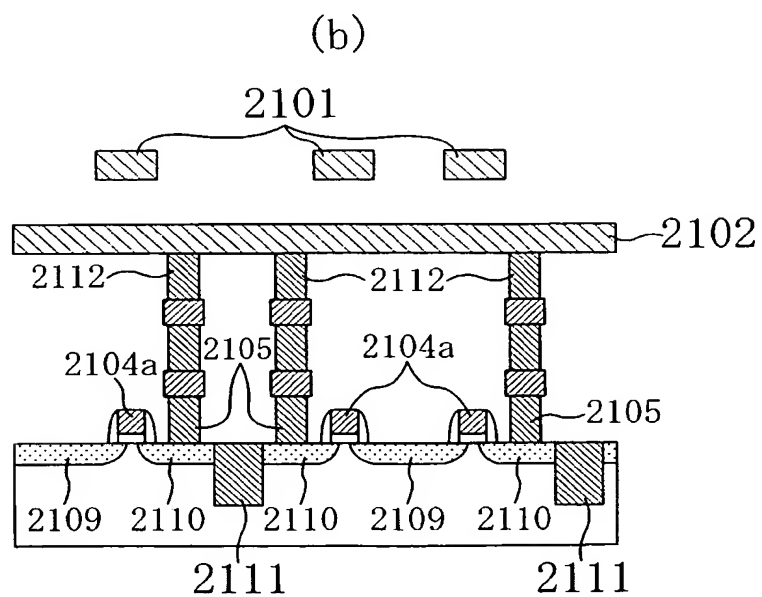
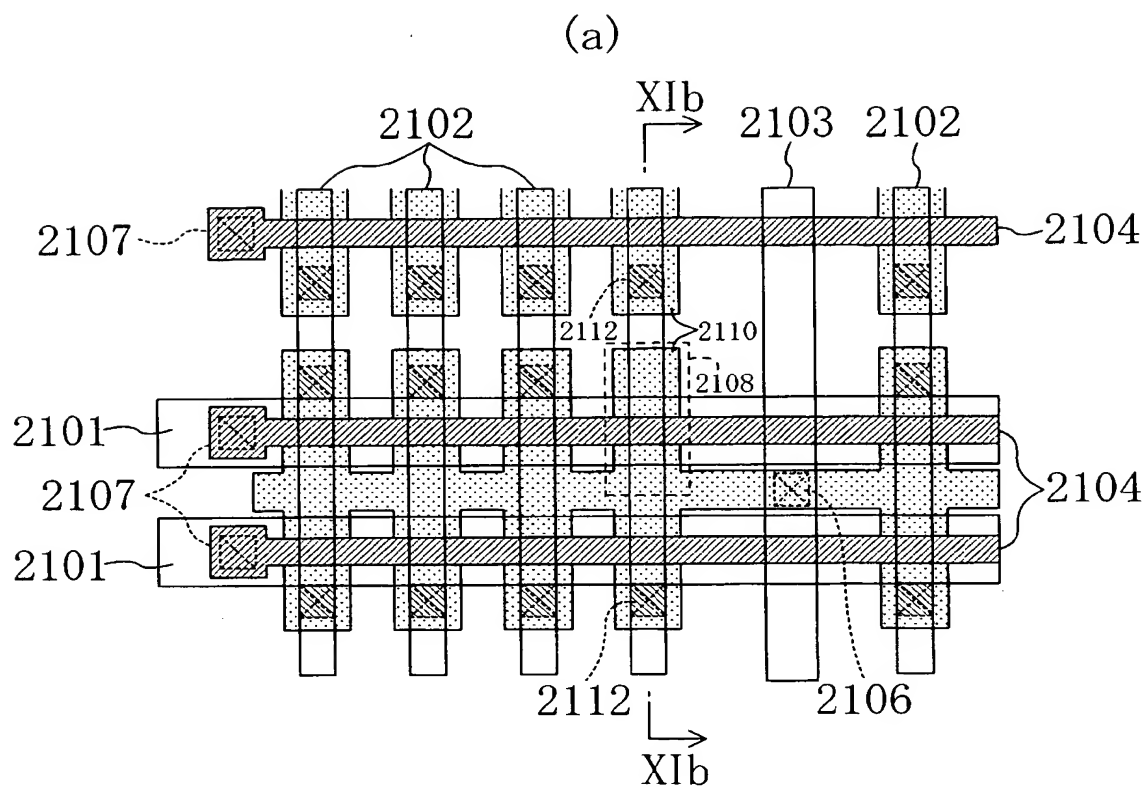
【図 9】



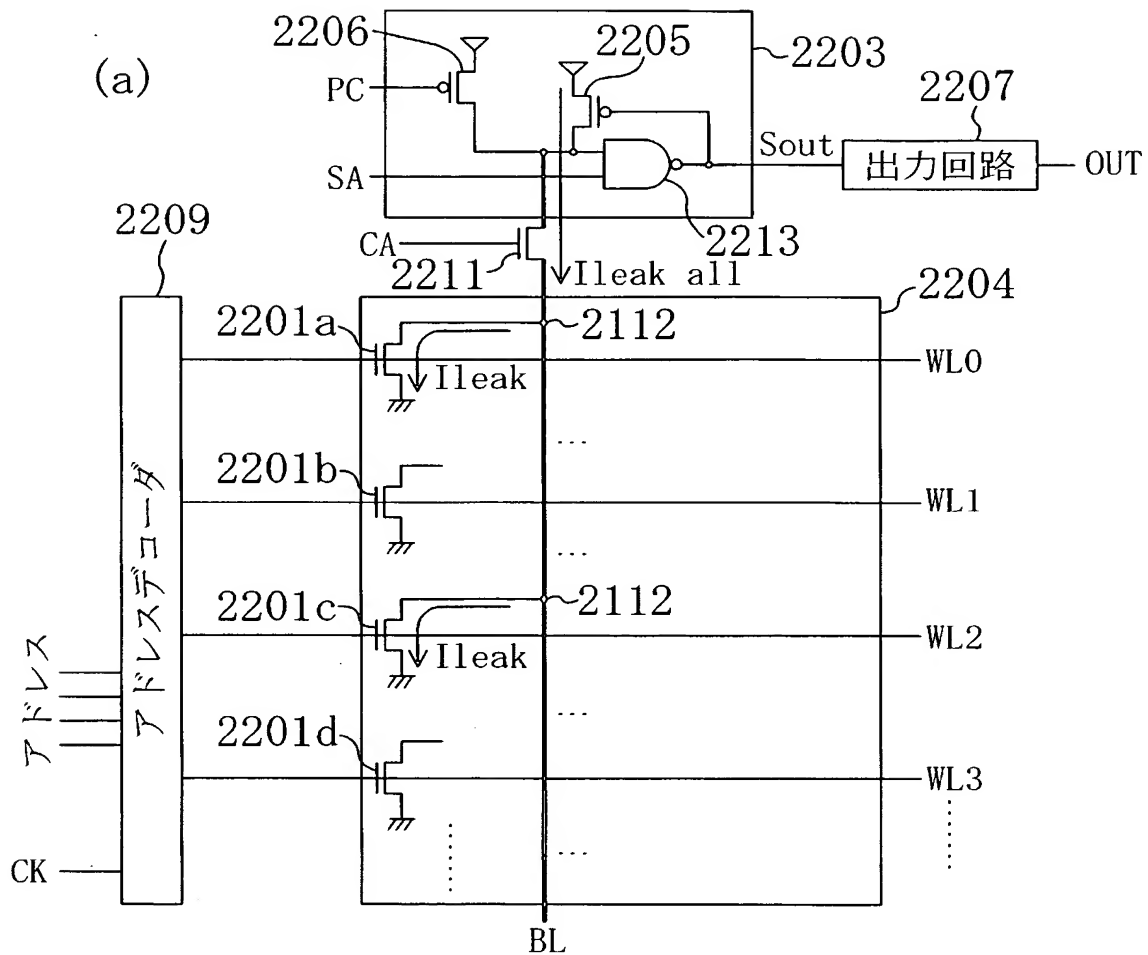
【図 10】



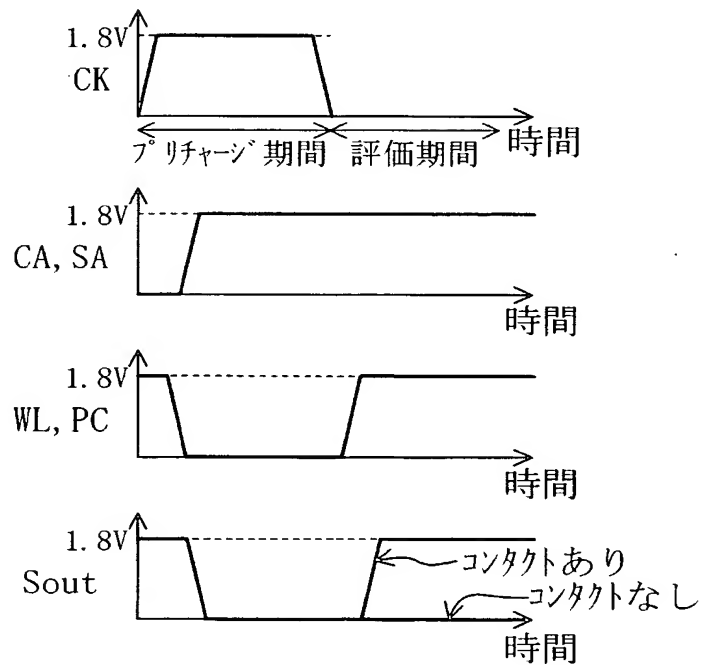
【図 11】



【図 12】



(b)



【書類名】 要約書

【要約】

【課題】 メモリセルを流れる駆動電流の低下を抑え、高速動作が可能なマスク R O Mを提供する。

【解決手段】 ビット線 1 0 2 が延びる方向に隣接するメモリセル内の N c h M O S F E T間をダミーゲート 1 0 5 を有するダミー M O S F E Tによって分離する。これにより、S T I から N c h M O S F E Tチャネル領域に加わる応力を低減できるので、N c h M O S F E Tの駆動電流の減少を抑えることができる。

【選択図】 図 1

特願 2 0 0 3 - 1 1 7 9 8 2

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社